

MANUFACTURE OF DIELECTRIC THIN FILM CAPACITOR**MANUFACTURE OF DIELECTRIC THIN FILM CAPACITOR**

Patent Number: JP2000031387
Publication date: 2000-01-28
Inventor(s): KATO HISATO;; KUSAKAWA KAZUHIRO;; KAWAMURA YUKINORI
Applicant(s): FUJI ELECTRIC CO LTD
Requested Patent: ☐ JP2000031387
Application Number: JP19980198524 19980714
Priority Number(s):
IPC Classification: H01L27/04; H01L21/822; H01G4/33; H01L21/316
EC Classification:
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To provide a manufacturing method of a small-sized dielectric thin film capacitor having large capacitance and a high breakdown voltage.

SOLUTION: A titanium film 12 deposited by a sputtering method, and a lower part electrode composed of a platinum film 13 are formed on a silicon substrate 11. The surface of the electrode is roughened by a method like mechanical polishing. On the roughened surface, a dielectric film 14 of an ATO film formed by alternately laminating alumina and titania by an atomic layer epitaxy method is deposited. By depositing again a platinum film 15, an upper part electrode is formed.

BEST AVAILABLE COPY

THIS PAGE BLANK (USPTO)

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-31387

(P2000-31387A)

(43) 公開日 平成12年1月28日 (2000.1.28)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 1 L 27/04		H 0 1 L 27/04	C 5 E 0 8 2
21/822		21/316	M 5 F 0 3 8
H 0 1 G 4/33		H 0 1 G 4/06	1 0 2 5 F 0 5 8
H 0 1 L 21/316			

審査請求 未請求 請求項の数 6 O L (全 4 頁)

(21) 出願番号 特願平10-198524

(22) 出願日 平成10年7月14日 (1998.7.14)

(71) 出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72) 発明者 加藤 久人

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

(72) 発明者 草川 和大

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

(74) 代理人 100088339

弁理士 篠部 正治

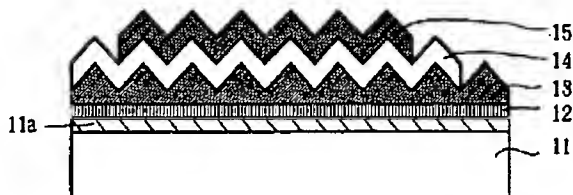
最終頁に続く

(54) 【発明の名称】 誘電体薄膜コンデンサの製造方法

(57) 【要約】

【課題】小型で容量が大きく、耐圧の高い誘電体薄膜コンデンサの製造方法を提供する。

【解決手段】シリコン基板11上にスパッタ法により堆積したチタン膜12、白金膜13からなる下部電極を設け、その表面を機械的研磨等の方法で粗面化した上に、原子層エビタキシー法でアルミナとチタニアとを交互に積層したATO膜の誘電体膜14を堆積し、更に白金膜15を再び堆積して上部電極とする。



11 基板

14 誘電体膜

11a 酸化膜

15 Pt膜

12 Ti膜

13 Pt膜

【特許請求の範囲】

【請求項1】基板上に下部電極、誘電体薄膜および上部電極を重ねて形成する誘電体薄膜コンデンサの製造方法において、粗面化された下部電極を有する基板を加熱し、その下部電極上に反応ガスを流し、表面反応を利用して誘電体薄膜を形成する熱CVD法によることを特徴とする誘電体薄膜コンデンサの製造方法。

【請求項2】下部電極の粗面化工程がラッピングフィルムを用いた機械的研磨であることを特徴とする請求項1記載の誘電体薄膜コンデンサの製造方法。

【請求項3】下部電極の粗面化工程が下部電極材料の真空蒸着法であることを特徴とする請求項1記載の誘電体薄膜コンデンサの製造方法。

【請求項4】下部電極の粗面化工程が化学的なエッチングであることを特徴とする請求項1記載の誘電体薄膜コンデンサの製造方法。

【請求項5】熱CVD法が、原子層エピタキシー法であることを特徴とする請求項1ないし4のいずれかに記載の誘電体薄膜コンデンサの製造方法。

【請求項6】誘電体薄膜がアルミナとチタニアとを交互に積層した複合膜であることを特徴とする請求項5記載の誘電体薄膜コンデンサの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、高誘電率を有する誘電体薄膜を用いた誘電体薄膜コンデンサの製造方法に関する。

【0002】

【従来の技術】集積回路の発達にともない電子回路の小型化はますます進展している。これに伴い、各種回路に必須の回路素子であるコンデンサの小型化も一段と重要になっている。従来用いられている薄膜コンデンサとしては、たとえば特開昭63-49385号公報に示されているように、誘電体として酸化けい素(SiO_2)や酸化タンタル(Ta_2O_5)などのような、誘電率がせいぜい20以下の材料を用いることが一般的である。また最近では、コンデンサを大容量化するため、比誘電率の大きい材料として、酸化チタン(以下 TiO_2 と記す)や、ジルコニウムチタン酸鉛($\text{Pb}(\text{Zr}_{0.5}\text{Ti}_{0.5})\text{O}_3$ 、以下PZTと略称する)、マグネシウムニオブ酸鉛($\text{Pb}(\text{Mg}_{0.5}\text{Nb}_{0.5})\text{O}_3$ 、以下PMNと略称する)などの鉛を含む複合ペロブスカイト酸化物が検討されている。

【0003】

【発明が解決しようとする課題】薄膜コンデンサを作成する場合、容量を大きくするためには、電極面積を広くする、誘電体膜の厚さを薄くする、または比誘電率の大きな誘電体を使うの三つの方法がある。しかし、電極面積を広くすると、コンデンサの占有面積が大きくなる。

【0004】誘電体膜の厚さを薄くすると、誘電体の欠

陥などからの電極間ショートの高率が高くなり、薄膜コンデンサの歩留りが落ちる。という問題があった。比誘電率の大きい材料である TiO_2 や、PZT、PMNにおいては、耐圧が低いという問題や製造方法に問題があり実用化は余り進んでいない。

【0005】このような状況に鑑み本発明の目的は、小型で容量が大きく、耐圧の高い誘電体薄膜コンデンサの製造方法を提供することにある。

【0006】

【課題を解決するための手段】上記課題を解決するため本発明は、基板上に下部電極、誘電体薄膜および上部電極を重ねて形成する薄膜コンデンサの製造方法において、粗面化された下部電極を有する基板を加熱し、その下部電極上に反応ガスを流し、表面反応を利用して誘電体薄膜を形成する熱CVD法によるものとする。

【0007】下部電極を粗面化することで電極面積を大きくすることができ、また誘電体薄膜の製造方法として基板加熱による表面反応を利用した熱CVD法を用いることで、凹凸のある基板上でも均一な膜厚が得られる。下部電極の粗面化の方法としては、ラッピングフィルムを用いた機械的研磨、下部電極材料の真空蒸着法、化学的なエッチングのいずれかとする。

【0008】ラッピングフィルムを用いた機械的研磨は、もっとも容易な粗面化方法であり、真空蒸着法、化学的なエッチングは大面積、量産化に適する方法である。熱CVD法としては、原子層エピタキシー法、MOCVD法のいずれかとする。どちらの方法によっても、凹凸のある基板上でも均一な膜厚が得られ、耐圧を確保でき、電極間ショートを防ぐことができる。

【0009】誘電体薄膜がアルミナとチタニアとを交互に積層した複合膜であることがよい。アルミナは、比誘電率はそれほど大きくないが、耐圧が高く、チタニアは比誘電率は大きい、耐圧が低い。両者の積層膜とすることによって、比誘電率も大きく、しかも耐圧が高いコンデンサが実現できる。

【0010】

【発明の実施の形態】[実施例1]図1は、本発明の方法にかかる実施例1の誘電体薄膜コンデンサの模擬断面図である。11は基板として用いた熱酸化膜付きのシリコンウェハ、12、13はそれぞれ厚さが20nm、300nmのチタン(Ti)膜、白金(Pt)膜である。14は、 Al_2O_3 と TiO_2 とを交互に積層した複合膜(以下ATO膜と記す)の誘電体薄膜、15は厚さ200nmのPtからなる上部電極である。

【0011】以下製造方法を説明する。シリコンウェハを熱酸化し、厚さ0.5 μm の熱酸化膜11aを形成する。次に、いずれもRFマグネトロンスパッタ法で Ti 膜12、 Pt 膜13を堆積する。続いて、ラッピングフィルムを用いて下部電極の粗面化を行う。用いたフィルムは、超精密ラッピングフィルム(たとえば住友3M社

製#20000)であり、粗面化後の表面粗さは、約50nmである。

【0012】この後、原子層エビタキシー(ALE)法により、厚さ各4nmの Al_2O_3 と TiO_2 と交互に計5層積層して、厚さ20nmの誘電体膜14を形成する。原料には、三塩化アルミニウム(AlCl_3)、四塩化チタン(TiCl_4)、純水(H_2O)を用い、基板温度500℃、圧力0.4Paの条件で、堆積する。固体の AlCl_3 は加熱蒸発させ、液体の TiCl_4 と H_2O は、アルゴン(Ar)でバブルして輸送する。成膜速度は、約、0.1nm/秒である。

【0013】その上に、上部電極としてRFマグネトロンスパッタ法でPt膜15を形成する。電極直径2mmのコンデンサとし、周波数1MHzで容量を測定し、下部電極を粗面化していないもの(比較例1)と比較した。その結果容量は、40nFであった。また電極間ショートも発生せず、耐圧は10V以上であった。使用時の定格電圧は3V程度なので、耐圧は10V以上あれば十分である。

【0014】比較例1の容量は、28nFであったので、比誘電率は約20に相当する。そして、比較例1からの約40%の容量増大は、電極面の粗面化の効果ということになる。そして、誘電体膜が熱CVD法で成膜されたため、厚さが薄くても緻密でしかも均一に形成されたため、電極間ショートも発生しなかったと考えられる。

【0015】[実施例2]図2は、本発明の方法にかかる第二の実施例の薄膜コンデンサの模擬断面図である。21は基板として用いた熱酸化膜付きのシリコンウエハである。22はRFマグネトロンスパッタ法で形成した厚さ20nmのTi膜である。23は電子線蒸着法で形成した導電性の材料の酸化亜鉛(ZnO)である。成膜温度は300℃、膜厚は500nmとした。表面粗さは約30nmであり、粗面化された下部電極表面となる。24は、実施例1と同じ条件で原子層エビタキシー法を用いて作成したアルミナとチタニアの複合膜(ATO膜)である。25は、RFマグネトロンスパッタ法にて形成した厚さ200nmのPt膜である。

【0016】実施例1と同様に電極直径2mm、周波数1MHzの条件で評価した。その結果、約36nFであった。また電極間ショートも発生せず、耐圧は10V以上であった。下部電極表面を粗面化しない比較例の容量は28nFであったので、本実施例では約30%容量が増加したことになる。この例でも、下部電極表面を粗面化したことによって容量が増加し、かつ熱CVD法を用いたことにより耐圧が確保されたことを意味している。

【0017】[実施例3]図3は、本発明の方法にかかる第三の実施例の薄膜コンデンサの模擬断面図である。31は基板として用いた熱酸化膜付きのシリコンウエハである。このウエハをウェットプロセスによりパターニ

ングして凹凸を設け基板として用いた。今回用いた凹凸パターンは、ライン/スペース1.5μmでアスペクト比1の順テーパー形状のパターンとした。この上に、RFマグネトロンスパッタ法で厚さがそれぞれ20nm、200nmのTi膜32、Pt膜33を形成し下部電極とした。34は、誘電体膜34としてMOCVD法を用いて作成した SrTiO_3 膜である。Sr原料としてSr(THD)₂、Ti原料としてTiO(THD)₂、 N_2O ガスを用い、基板温度:420℃、成膜圧力:1300Paで、厚さ100nmの SrTiO_3 膜を作成した。なお、THDは2, 2, 6, 6テトラメチル-3, 5ヘプタンジオンの略である。MOCVD法で成膜後、酸素雰囲気中で600℃の熱処理を行い結晶化させた。35は誘電体膜34上にRFマグネトロンスパッタ法にて形成した厚さ200nmのPt膜であり、上部電極となる。

【0018】作成した薄膜コンデンサは、実施例1と同様に電極直径2mmで、周波数1MHzの条件で評価し、凹凸を設けない基板を用いたもの(比較例2)と比較した。その結果、比較例2では28nFであった容量が、本実施例では約60nFと約2倍に容量が増加した。耐圧は10V以上であった。比誘電率は約100に相当している。

【0019】このように、ウェットプロセスにより基板に凹凸をつけて下部電極の粗面化をおこなうことも可能である。誘電体材料としては、上記のATO膜、 SrTiO_3 膜に限らず、 $\text{Pb}(\text{Sc}_{0.5}\text{Ta}_{0.5})\text{O}_3$ (PST)、 $(\text{Ba}_{0.5}\text{Sr}_{0.5})\text{TiO}_3$ (BST)、 Ta_2O_5 などさまざまな材料が適用可能である。

【0020】

【発明の効果】以上説明したように本発明の製造方法によれば、基板上に下部電極、誘電体薄膜、および上部電極とを重ねて形成する薄膜コンデンサの製造方法において、下部電極を粗面化した後、基板加熱による表面反応を利用した熱CVD法により誘電体薄膜を形成することにより、小型、大容量の誘電体薄膜コンデンサを実現できるようになった。

【0021】本発明は、小型電源や、IC回路等に組み込むコンデンサの小型化、軽量化の要求を満たし、電機機器特に携帯機器の小型化に大きく寄与するものである。

【図面の簡単な説明】

【図1】本発明の方法にかかる実施例1の誘電体薄膜コンデンサの模擬断面図

【図2】本発明の方法にかかる実施例2の誘電体薄膜コンデンサの模擬断面図

【図3】本発明の方法にかかる実施例3の誘電体薄膜コンデンサの模擬断面図

【符号の説明】

11、21、31 基板

(4) 開2000-31387 (P2000-3131T

12、22、32 Ti膜
13、33 Pt膜
14、24、34 誘電体膜

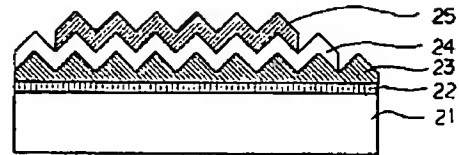
15、25、35 Pt膜
23 ZnO膜

【図1】

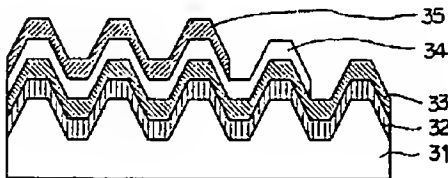


11 基板
11a 酸化膜
12 Ti膜
13 Pt膜
14 誘電体膜
15 Pt膜

【図2】



【図3】



フロントページの続き

(72)発明者 河村 幸則
神奈川県川崎市川崎区田辺新田1番1号
富士電機株式会社内

Fターム(参考) 5E082 AB03 BC39 EE05 EE15 EE18
EE19 EE23 EE37 EE42 FF15
FG03 FG19 FG26 FG27 FG41
FG58 KK01 MM24
5F038 AC05 AC10 AC15 AC16 AC17
AC18 EZ20
5F058 BA11 BD02 BD05 BF06 BJ10